

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020074716 A
(43) Date of publication of application: 04.10.2002

(21) Application number: 1020010014670

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.

(22) Date of filing: 21.03.2001

(72) Inventor: HONG, UK SEON

(51) Int. Cl

H01L 21/762

(54) TRENCH ISOLATION STRUCTURE OF SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(57) Abstract:

PURPOSE: A trench isolation structure of a semiconductor device and a method for fabricating the same are provided to prevent a damage and a dent phenomenon of a tunnel oxide layer by using a silicon nitride layer liner buried by an isolation layer.

CONSTITUTION: A trench region and an active region are defined on a semiconductor substrate (111). A tunnel oxide layer(211) and a conductive layer pattern(120) are laminated on the active region of the semiconductor substrate(111). An inner wall of the trench region is covered by a silicon nitride layer liner(321). A region surrounded with the silicon nitride layer liner(321) and a gap region between conductive layer patterns are filled by an isolation layer (260). A sidewall of the conductive layer pattern(120) is contacted with an upper sidewall of the isolation layer(260). The silicon nitride layer liner(321) is buried by the isolation layer(260) and the conductive layer pattern(120). A thermal oxide layer(240) is inserted between the silicon nitride layer liner(321) and an inner wall of the trench region. A thermal oxide layer(250) is inserted between the conductive layer pattern(120) and the isolation layer(260). The isolation layer(260) includes the first and the second isolation layer pattern(221,232). The first isolation layer patterns(221) is buried by the silicon nitride layer liner(321) and the second isolation layer pattern(232).

&copy; KIPO 2003

Legal Status

Final disposal of an application (application)

특 2002-0074716

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호	특 2002-0074716
HOIL 21/762	(43) 공개일자	2002년 10월 04일
(21) 출원번호	10-2001-0014670	
(22) 출원일자	2001년 03월 21일	
(71) 통원인	삼성전자 주식회사	
	경기 수원시 팔달구 매단3동 416	
(72) 발명자	홍육선	
	서울특별시 서대문구 흥제4동 홍제원현대아파트 104동 703호	
(74) 대리인	임창현, 권혁수	
설사항구 : 원증		
(54) 반도체 장치의 트렌치 소자분리 구조체 및 그 제조 방법		

요약

자기정렬 트렌치 소자분리 구조체 및 그 형성방법을 제공한다. 이 자기정렬 소자분리 구조체는 반도체기판의 소정영역에 형성되어 활성영역을 확장하는 트렌치 영역과, 활성영역 상에 차례로 적층된 터널산화막 및 도전막 패턴과, 트렌치 영역의 내벽을 닦는 실리콘질화막 라이너와, 실리콘질화막 라이너에 의해 물려싸여진 영역을 차우면서 도전막 패턴의 축복과 접촉하는 소자분리막을 포함한다. 실리콘질화막 라이너 및 소자분리막은 활성영역 상에 차례로 적층된 도전막 패턴 및 연마저자막 패턴과, 자기정렬된 트렌치 영역을 형성한 후에, 트렌치 영역을 갖는 반도체기판 전면에 실리콘질화막 라이너를 및 제1 소자분리막을 형성하고, 제1 소자분리막을 씁작하여 트렌치 영역 내에 진출하는 제1 소자분리막 패턴을 형성하고 동시에 연마저자막 패턴의 표면 및 도전막 패턴의 솔베트 영역 상의 실리콘질화막 라이너층을 노출시키고, 노출된 실리콘질화막 라이너층을 씁작하여 제거하고, 제1 소자분리막 패턴 상에 도전막 패턴의 축복과 접촉하는 제2 소자분리막 패턴을 형성함으로써 형성된다.

기초도**도 10****형세도****도면의 간접관 쓰임**

도 1은 종래의 소자분리 구조체 형성방법의 문제점을 설명하기 위한 단면도이다.

도 2a 및 도 2b는 또다른 종래의 소자분리 구조체 형성방법의 문제점을 설명하기 위한 단면도이다.

도 3a~도 9는 본 발명의 바람직한 실시예에 따른 자기정렬 트렌치 소자분리 구조체 형성 방법의 주요 단계를 나타내는 공정 단면도이다.

도 10는 본 발명의 바람직한 실시예에 따른 자기정렬 트렌치 소자분리 구조체를 나타내는 단면도이다.

발명의 실체를 설명**발명의 목적**

본 발명에 속하는 기술 및 그 분야의 종래기술
 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 반도체 장치의 트렌치 소자분리 구조체 및 그 제조 방법에 관한 것이다.

반도체 소자의 고집적화에 따라 LOCOS(Local Oxidation of Silicon) 소자분리 방법은 베즈 벡(bird's beak)형에 의한 제약을 갖는다. 이러한 제약을 극복하기 위해 개발된 트렌치 소자분리 방법은 기판에 형성된 트렌치에 산화막을 채워 넣는 방법을 사용한다.

한편 소자분리 특성을 만족시키기 위해서는, 비록 고집적화 요구에 따른 소자분리 영역의 폭 감소에도 불구하고, 적절한 트렌치 깊이의 유지를 요구한다. 그러나 이러한 요구는 트렌치 영역의 증횡비(aspect ratio) 증가를 초래하고, 이에 따라 트렌치 매립 공정에서 보이드(void) 등의 문제를 낳는다. 이를 해결하기 위한 공정의 하나가 2단계 소자분리막 적용에 의한 트렌치 매립 공정이다.

또한 트렌치에 의한 소자분리 공정에서 나타나는 실리콘 격자의 디스로케이션(dislocation)과 실리콘 기판의 산화에 따른 부피팽창에 의한 스트레스를 감소시키기 위해, 각각의 경우에 대해 열산화 공정과 실리콘질화막 라이너를 이용할 수 있다.

D 2002-0074716

도 1, 도 2a 및 도 2b는 흐름의 자기정렬 트렌치 소자분리(이하 'SA-STI'라고 부르기로 한다) 방법을 설명하기 위한 단면도 등이다.

도 1을 참조하면, 반도체기판(11) 위에 차례로 적용된 터널 산화막(21), 도전막 패턴(12) 및 연마저지막 패턴(31)으로 구성된 트렌치 마스크 패턴을 형성한다. 상기 연마저지막 패턴(31)을 식각 마스크로 사용하여 상기 터널 산화막(21) 및 반도체기판(11)을 식각하여 트렌치 영역을 형성한다. 상기 트렌치 영역을 포함하여 반도체기판 전체에 걸쳐 제 1 소자분리막을 형성한다. 상기 제 1 소자분리막을 습식 식각의 방법으로 식각하여 트렌치 구조의 하부에만 존재하는 제 1 소자분리막 패턴(22)를 형성한다. 그런데 상기의 습식 식각 공정시 터널 산화막(21)이 도 1의 1과 같이 노출되고, 그 결과 상기 터널 산화막(21)은 상기 습식 식각 공정에서 손상을 받게된다. 이러한 터널 산화막(21)에 대한 손상은 소자의 전기적 특성에 치명적 영향을 준다.

도 2a를 참조하면, 상기 도 1의 공정 단계 중 트렌치 영역 형성 단계와 제 1 소자분리막 패턴(22) 형성 단계 사이에 상기 반도체기판 전역에 걸쳐 실리콘질화막 라이너층(32)을 적용하는 단계를 더 포함한다. 이때 상기 실리콘질화막 라이너층(32)이 실리콘산화물 식각에 대해 높은 선택비의 특성을 가지고도록 상기 제 1 소자분리막 패턴 형성시 진행되는 습식 식각 과정을 진영할 경우 상기 식각 공정에 의한 터널 산화막(21)에의 손상을 방지할 수 있다. 상기 과정을 포함하는 반도체기판 전역에 걸쳐 제 2 소자분리막을 형성한 후, 상기 연마저지막(31)이 노출될 때까지 CDP 등의 물질들을 통해 제 2 소자분리막을 평탄화 시킨다. 그 결과 상기 연마저지막 패턴(31)과 상기 실리콘질화막 라이너(32) 각각의 상부면이 노출되고, 상기 제 1 소자분리막 패턴(22)상에 제 2 소자분리막 패턴(23)이 형성된다.

도 2b를 참조하면, 상기 연마저지막 패턴(31)의 제거를 위한 식각 공정에 의해, 상기 도전막(12)의 상부가 노출된다. 또한 상기 연마저지막 패턴(31)의 완전한 제거를 위한 과도식각이 요구되고 있는데, 이러한 요구는 도 2b의 2에서 보는 바와 같이 상기 제 2 소자분리막 패턴(23)과 도전막 패턴(12) 사이에 혹이 패턴이 미로바 댘트 현상의 한 원인이 된다. 상기 혹이 패턴은 반도체 장치에서 브리지(bridge)와 같은 전기적 결합을 조래발 가능성이 때문에 바람직하지 않다.

설명이 어려고자 하는 기술적 과정

본 발명이 이루고자 하는 기술적 과정은 자기정렬 트렌치로서 소자분리막을 형성하는 과정동안 터널 산화막에 대한 손상 및 댘트 현상을 방지하기 위하여, 소자분리막에 의해 매몰된 실리콘질화막 라이너를 가지는 자기정렬 트렌치 소자분리 구조체를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과정은 소자분리막을 형성하는 과정동안 터널 산화막에 대한 손상 및 댘트 현상을 방지할 수 있는 자기정렬 트렌치 소자분리 구조체의 형성 방법을 제공하는데 있다.

설명의 구성 및 적용

상기 기술적 과정을 달성하기 위하여 본 발명은 SA-STI 구조체를 제공한다. 이 SA-STI 구조체는 반도체기판의 소정영역에 형성된 트렌치 영역 및 상기 트렌치 영역에 의해 한정된 팔성영역을 포함한다. 상기 팔성영역은 차례로 적용된 터널산화막 및 도전막 패턴에 의해 묶여진다. 상기 트렌치 영역의 내벽은 실리콘질화막 라이너에 의해 묶여지고, 상기 실리콘질화막 라이너에 의해 물리싸여진 영역 및 상기 도전막 패턴을 사이의 경계역은 소자분리막에 의해 채워진다. 상기 소자분리막의 상부축복을 상기 도전막 패턴의 축복들과 접촉한다. 따라서, 상기 실리콘질화막 라이너는 상기 소자분리막 및 상기 도전막 패턴에 의해 완전히 매몰된다.

바람직하게는, 상기 실리콘질화막 라이너 및 상기 트렌치 영역의 내벽 사이에 열산화막을 개재시킨다. 상기 열산화막은 상기 도전막 패턴 및 상기 소자분리막 사이의 영역까지 연장될 수도 있다.

상기 소자분리막은 상기 실리콘질화막 라이너에 의해 물리싸여진 영역을 차우는 제 1 소자분리막 패턴 및 상기 제 1 소자분리막 패턴에 적층된 제 2 소자분리막 패턴을 포함한다.

상기 다른 기술적 과정을 달성하기 위하여 본 발명은 SA-STI 구조체의 형성 방법을 제공한다. 이 방법은 반도체기판 상에 트렌치 마스크 패턴을 형성한다. 상기 트렌치 마스크 패턴은 차례로 적용된 터널산화막, 도전막 패턴 및 연마저지막 패턴을 포함한다. 상기 연마저지막 패턴을 식각 마스크로 사용하여 상기 반도체기판을 식각하여 트렌치 영역을 형성한다. 상기 트렌치 영역 내에 제 1 소자분리막 패턴 및 상기 제 1 소자분리막 패턴을 감싸는 실리콘질화막 라이너는 상기 트렌치 영역의 내벽을 묶는다. 상기 제 1 소자분리막 패턴의 상부축복을 상기 도전막 패턴의 축복과 접촉한다. 따라서, 상기 실리콘질화막 라이너와 상기 연마저지막 패턴은 서로 이격된다. 여기서, 상기 제 1 소자분리막 패턴 및 상기 제 2 소자분리막 패턴은 소자분리막을 구성한다.

상기 제 1 소자분리막 패턴 및 상기 실리콘질화막 라이너를 형성하는 과정은 상기 트렌치 영역이 형성된 결과물 전면에 실리콘질화막 라이너층을 혼포함하게 형성하고, 상기 실리콘질화막 라이너층 상에 제 1 소자분리막을 형성하는 것을 포함한다. 이어서, 상기 제 1 소자분리막을 식각하여 상기 트렌치 영역 내에 잔존하는 제 1 소자분리막 패턴을 형성한다. 이때, 상기 연마저지막 패턴의 표면 상의 실리콘질화막 라이너 및 상기 도전막 패턴의 축복 상의 실리콘질화막 라이너층은 노출된다. 상기 노출된 실리콘질화막 라이너층을 식각하여 상기 트렌치 영역의 내벽을 묶는 실리콘질화막 라이너를 형성한다.

이어 대하여, 상기 실리콘질화막 라이너층을 형성하기 전에 상기 트렌치 영역이 형성된 결과물을 열산화시키어 상기 트렌치 영역의 내벽 및 상기 도전막 패턴의 축복에 열산화막을 형성할 수도 있다. 상기 열산화막은 상기 트렌치 영역을 형성하기 위한 식각 공정을 실시하는 동안 반도체기판에 가해진 식각손상을 치유하기 위하여 형성된다.

계속하여, 상기 제 2 소자분리막 패턴을 형성한 후에, 상기 연마저지막 패턴을 제거하여 상기 도전막 패턴

특 2002-0074716

의 상부면을 노출시킨다. 이때, 상기 연마저지막 패턴이 상기 실리콘질화막 라이너와 동일한 둘째막으로 형성될지도 상기 실리콘질화막 라이너는 더 이상 삭각되지 않는다. 이는, 실리콘질화막 라이너가 상기 도전막 패턴 및 상기 소자분리막에 의해 덮여진 상태이기 때문이다. 따라서, 상기 실리콘질화막 라이너가 리세스티드 현상을 방지할 수 있다.

이하, 자가정를 트렌치 소자분리 방법을 설명하기 위한 단면도인 도 3 내지 도 9의 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구현될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 협정하고 완전해질 수 있도록 그리고 당연자에게 본 발명의 사실상 미충분히 전달될 수 있도록 하기 위해 제공되며지는 것이다. 도면들에 있어서, 축은 영역들의 두께를 기재하기 위하여 과장되어진 것이다. 또 한 풀이 다른 풀 또는 기관 상에 있다고 언급되며지는 경우에 그것은 다른 풀 또는 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 풀이 재개될 수도 있다.

도 3를 참조하면, 반도체기판(110) 위에 차례로 적층된 터널 산화막(210), 도전막 및 연마저지막을 건식식각을 포함하는 퍼터닝으로 트렌치 마스크 패턴(50)을 형성한다. 상기 트렌치 마스크 패턴(50)은 도전막 패턴(120) 및 연마저지막 패턴(310)을 포함한다. 상기 도전막 패턴(120)은 물순사를 활용하는 폴리실리콘막으로 형성하는 것이 바람직하며, 상기 연마저지막 패턴(310)은 실리콘질화막으로 형성하는 것이 바람직하다.

도 4를 참조하면, 상기 트렌치 마스크 패턴(50)을 식각하여 소자분리를 위한 트렌치 영역을 형성한다. 상기 트렌치 형성을 위한 식각 곡선은 건식식각 공정을 통해 이루어지며, 특히 식각의 사상이 충분히 전달될 수 있도록 하기 위하여 제공되며지는 것이다. 도면들에 있어서, 축은 영역들의 두께를 기재하기 위하여 과장되어진 것이다. 또 한 풀이 다른 풀 또는 기관 상에 있다고 언급되며지는 경우에 그것은 다른 풀 또는 기관 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 풀이 재개될 수도 있다.

도 5를 참조하면, 상기 트렌치 영역을 포함하는 반도체기판 전면에 대하여 실리콘질화막 라이너층(320) 및 제 1 소자분리막(220)을 차례로 형성한다. 상기 실리콘질화막 라이너층(320)은 실리콘질화막을 CVD 방식으로 상기 트렌치 영역이 형성된 결과물 전면에 보포함하게 형성하며, 제 1 소자분리막(220)은 전기적으로 접촉 특성을 갖는 매립된 트렌치 구조를 목적으로 하는 것으로 산화막을 CVD 방식으로 적층하는 것이 바람직하다. 이 단계에서 상기 제 1 소자분리막(220)은 트렌치 전체를 완전히 채우지 않을 수도 있다.

도 6를 참조하면, 상기 제 1 소자분리막(220)을 전면 슬식 식각의 방법으로 리세스시켜 상기 트렌치 영역 내에 진출하게 되는 제 1 소자분리막 패턴(221)을 형성한다. 앞서 증류기술(도 1 참조)에서 기술한 바와 같이 상기 식각 곡선은 상기 터널 산화막(210)을 손상시킬 위험이 있었지만, 본 발명에서 상기 슬식 식각의 터널 산화막(210)에 대한 손상 위험은 상기 실리콘질화막 라이너층(320)이 실리콘산화물 식각 공정에서 높은 식각선택비를 가지도록하는 공정 조건을 전달함으로서 방지할 수 있다. 또한 리세스되는 길이든 트렌치의 품질비, 제 1 소자분리막의 물성 및 그 두께 등을 고려하여야 하지만, 적어도 트렌치 영역 경계에서의 상기 연마저지막 패턴의 최하부(1)에 비해 낮도록 형성한다. 그 결과, 제 1 소자분리막이 리세스된 깊이만큼 실리콘질화막 라이너층(320)이 노출된다.

도 7을 참조하면, 상기 리세스 곡선을 통해 노출된 실리콘질화막 라이너층(320)을 인산을 포함하는 슬식식각액으로 제거한다. 이에 따라 상기 리세스된 제 1 소자분리막(221) 위쪽의 실리콘질화막 라이너층은 모두 제거되어 실리콘질화막 라이너(321)를 형성한다. 상기 실리콘질화막 라이너(321)는 상기 트렌치 영역의 열산화막(240) 및 상기 터널 산화막(210)의 측벽을 뒤고 상기 도전막 패턴 측벽의 열산화막(250)과 접촉한다. 그 결과, 상기 제 1 소자분리막 패턴(221)은 상기 실리콘질화막 라이너(321)에 의해 둘러싸여 된다. 상기 실리콘질화막 라이너층(320)의 제거를 위한 식각 곡선은 건식 등방식 식각을 실시할 수 있으나 실리콘질화막 라이너층(320)의 적층형태와 식각 손상을 고려할 때 슬식식각을 사용하는 것이 바람직하다.

도 8를 참조하면, 상기 공정을 통해 형성된 결과물 전면에 상기 도전막 패턴(120)의 측벽과 접촉하면서 상기 제 1 소자분리막 패턴(221)을 닦는 제 2 소자분리막을 형성한다. 그후, CMP 등의 방법을 통해 상기 연마저지막 패턴(310)이 노출될 때까지 상기 제 2 소자분리막을 평탄화시킨다. 그 결과로 노출한 바와 같이 리세스된 제 2 소자분리막 패턴(231) 및 리세스된 연마저지막 패턴(311)이 형성된다.

도 9를 참조하면, 상기 리세스된 연마저지막 패턴(311)을 전면 슬식 식각 곡선을 통해 제거한다. 이때 상기 실리콘질화막 라이너(321)가 노출되지 않으므로 네트 협상을 억제시킬 수 있다. 이때 상기 도전막 패턴(120)의 상부와 상기 제 2 소자분리막 패턴(231)의 상부 사이의 최종 높이의 차이가 후속 공정의 어려움을 초래할 가능성이 있을 경우, 부가적으로 또는 상기 공정 중(예를 들면 상기 CMP 공정에서) 리세스된 제 2 소자분리막 패턴(231)의 높이를 낮추는 곡선을 적용할 수 있다. 상기 식각 곡선의 결과로 원인한 과선 형태의 상부를 갖는 제 2 소자분리막 패턴(232)이 형성된다. 또한 더욱 완만한 상부면을 갖는 것이 후속 공정의 안정화를 위해 요구되며질 경우, 부가적인 공정을 실시할 수 있다.

도 10의 단면도를 통해, 본 발명의 바람직한 실시예에 따른 반도체 장치의 트렌치 소자분리 구조체를 설명한다.

도 10을 참조하면, 본 발명의 트렌치 소자분리 구조체는 반도체기판(111)의 소정영역에 형성된 트렌치 영역 및 상기 트렌치 영역에 의해 한정된 활성영역을 포함한다. 상기 활성영역은 차례로 적층된 터널산화막(211) 및 도전막 패턴(120)에 의해 덮여진다. 상기 트렌치 영역의 내벽은 실리콘질화막 라이너(321)에 의해 덮여지고, 상기 실리콘질화막 라이너에 의해 둘러싸여진 영역 및 상기 도전막 패턴을 사이의 겹 영역은 소자분리막(260)에 의해 제워진다. 상기 소자분리막(260)의 상부 측벽은 상기 도전막 패턴(120)의 측벽들과 접촉한다. 따라서, 상기 실리콘질화막 라이너(321)는 상기 소자분리막(260) 및 상기 도전막 패턴(120)의 측벽들과 접촉한다.

2002-0074716

기 도전막 패턴(120)에 의해 완전히 막들된다.

바탕작하게는, 상기 실리콘질화막 라이너(321) 및 상기 트렌치 영역의 내벽 사이에 열산화막(240)을 개재시킨다. 또한 상기 도전막 패턴(120) 및 상기 소자분리막(260) 사이에도 열산화막(260)이 개재될 수 있다.

상기 소자분리막(260)은 제1 소자분리막 패턴(221) 및 상기 제1 소자분리막 패턴(221) 상에 형성된 제2 소자분리막 패턴(232)을 포함한다. 상기 제1 소자분리막 패턴(221)은 상기 실리콘질화막 라이너(321)와 상기 제2 소자분리막 패턴(232)에 의해 막들된다. 또한 상기 제1 소자분리막 패턴(221) 및 제2 소자분리막 패턴은 CVD 산화막으로 구성된다.

발명의 효과

본 발명에 따르면, 자기정렬 트렌치 소자분리막 형성을 위해 2단계 소자분리막 형성 과정이 적용될 때 발생하는 터널 산화막 손상의 문제를 실리콘질화막 라이너층을 형성함으로써 해결할 수 있으며, 상기 실리콘질화막 라이너층이 자기정렬 트렌치 소자분리막 형성 과정에서 초래하는 텐트 현상을 실리콘질화막 라이너층을 얹어 소자분리막 형성 과정 중 일부 제거함으로써 방지할 수 있다. 그 결과, 터널 산화막과 관련된 물리적, 전기적 특성 및 웨이드라인 간의 전기적 분리와 관련된 특성을 개선할 수 있다.

(5) 청구의 범위

청구항 1. 반도체기판 상에 차례로 적층된 터널산화막, 도전막 패턴 및 연마저지막 패턴으로 구성된 트렌치 마스크 패턴을 형성하는 단계;

상기 연마저지막 패턴을 식각 마스크로 사용하여 상기 반도체기판을 식각하여 트렌치 영역을 형성하는 단계;

상기 트렌치 영역의 내벽을 덮는 실리콘질화막 라이너 및 상기 실리콘질화막 라이너에 의해 둘러싸여진 영역을 채우는 제1 소자분리막 패턴을 형성하는 단계; 및

상기 제1 소자분리막 패턴 상에 적층된 제2 소자분리막 패턴을 형성하는 단계를 포함하는 트렌치 소자분리 방법.

청구항 2. 제1 항에 있어서,

상기 도전막 패턴은 실리콘막으로 형성하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 3. 제1 항에 있어서,

상기 연마저지막 패턴은 실리콘질화막으로 형성하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 4. 제1 항에 있어서,

상기 실리콘질화막 라이너 및 상기 제1 소자분리막 패턴을 형성하는 단계는

상기 트렌치 영역이 형성된 결과를 전면에 실리콘질화막 라이너층을 형성하는 단계;

상기 실리콘질화막 라이너층 상에 제1 소자분리막을 형성하는 단계;

상기 제1 소자분리막을 식각하여 상기 연마저지막 패턴의 표면 및 상기 도전막 패턴의 축벽 상의 상기 실리콘질화막 라이너층을 노출시킴과 동시에 상기 트렌치 영역 내에 잔존하는 제1 소자분리막 패턴을 형성하는 단계; 및

상기 노출된 실리콘질화막 라이너층을 식각하여 연마저지막 패턴의 표면 및 적어도 상기 도전막 패턴의 상부축벽(Upper sidewall)을 노출시키는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 5. 제4 항에 있어서,

상기 실리콘질화막 라이너층을 형성하기 전에,

상기 트렌치 영역이 형성된 결과물을 열산화시키어 상기 트렌치 영역의 내벽 및 상기 도전막 패턴의 축벽에 열산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 6. 제1 항에 있어서,

상기 제2 소자분리막 패턴을 형성하는 단계는

상기 제1 소자분리막 패턴이 형성된 결과를 전면에 상기 도전막 패턴의 축벽과 접속하는 제2 소자분리막을 형성하는 단계; 및

상기 연마저지막 패턴이 노출될 때까지 상기 제2 소자분리막을 평탄화시키는 단계를 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 7. 제1 항에 있어서,

상기 제2 소자분리막 패턴을 형성하는 단계 후에

상기 연마저지막 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 8. 반도체기판의 소정영역에 형성되고, 활성영역을 한정하는 트렌치 영역;

상기 활성영역 상에 차례로 적층된 터널산화막 및 도전막 패턴;

2002-0074716

상기 트렌치 영역 및 상기 도전막 패턴 사이의 겹 영역을 채우는 소자분리막; 및
상기 트렌치 영역의 내벽 및 상기 소자분리막 사이에 개재되고, 그것의 양끝단이 상기 도전막 패턴의 상부
면보다 낮은 실리콘질화막 라이너를 포함하는 소자분리 구조체.

청구항 9. 제 8 항에 있어서,

상기 실리콘질화막 라이너 및 상기 트렌치 영역의 내벽 사이에 개재된 열산화막을 더 포함하는 것을 특징
으로 하는 소자분리 구조체.

청구항 10. 제 8 항에 있어서,

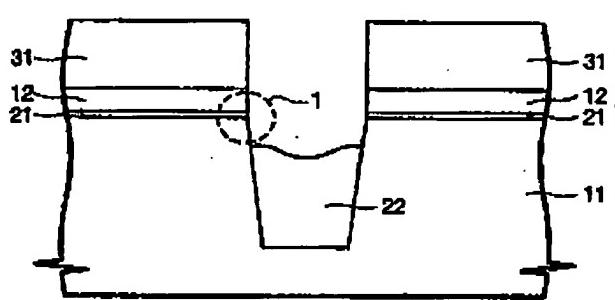
상기 소자분리막은

상기 실리콘질화막 라이너에 의해 물러싸여진 영역을 채우는 제 1 소자분리막 패턴; 및

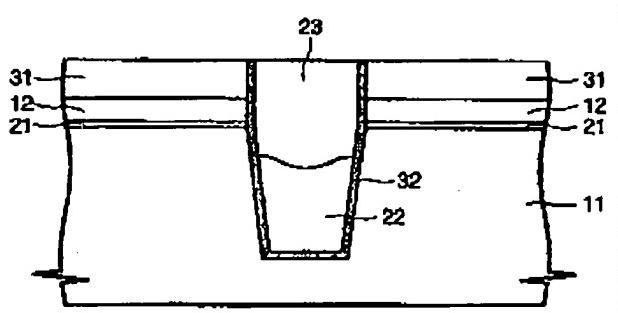
상기 제 1 소자분리막 패턴 상에 위치하고 상기 도전막 패턴의 육벽과 접촉하는 제 2 소자분리막 패턴을
포함하는 것을 특징으로 하는 소자분리 구조체.

도면

도면 1



도면 2



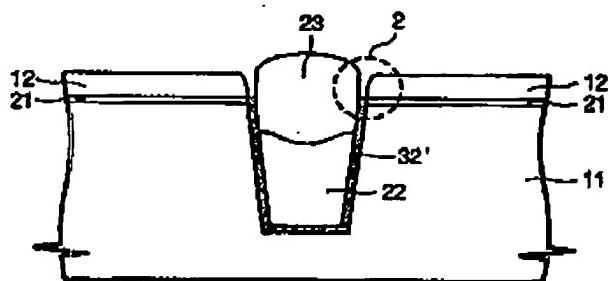
DEC. 9 2004 2:56PM

MBS&S 919 854-1401

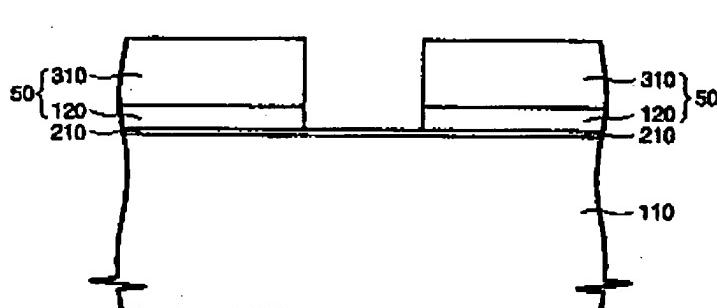
NO. 8972 P. 17

2002-0074716

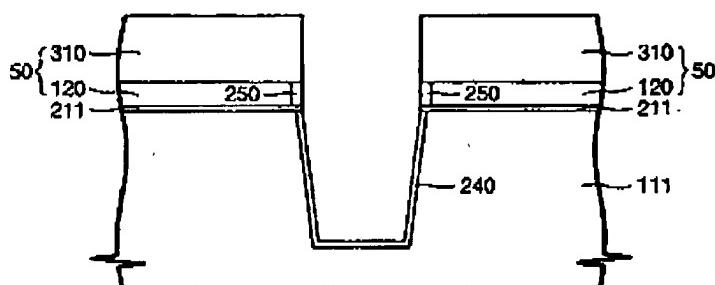
582



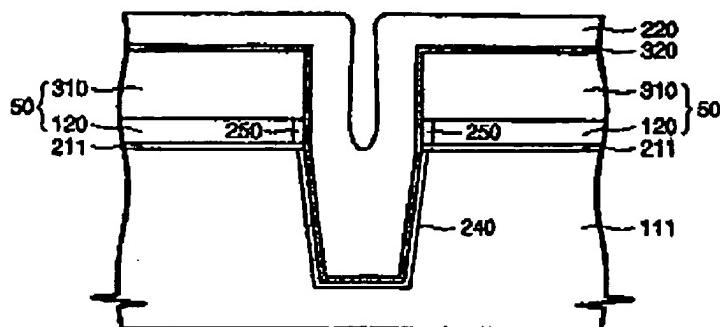
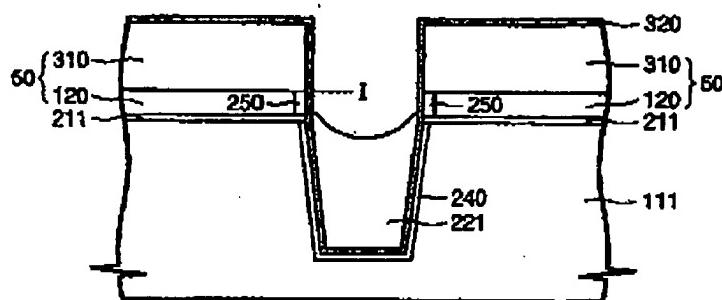
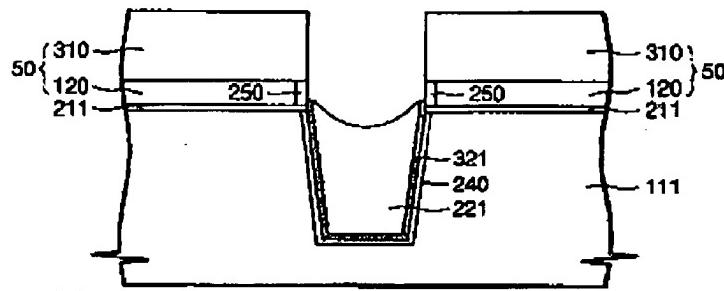
583



584

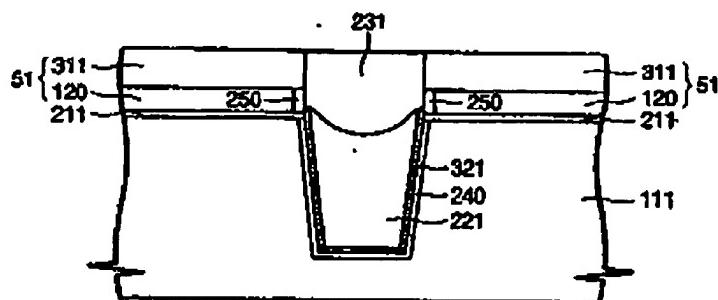


2002-0074716

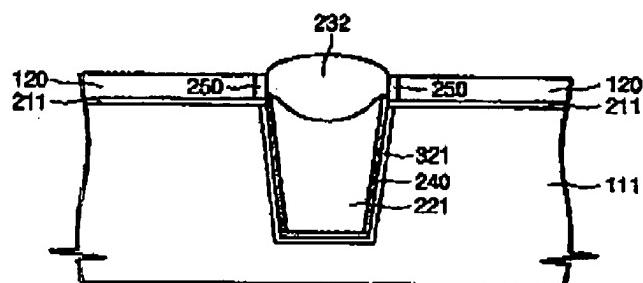
~~585~~~~586~~~~587~~

42002-0074716

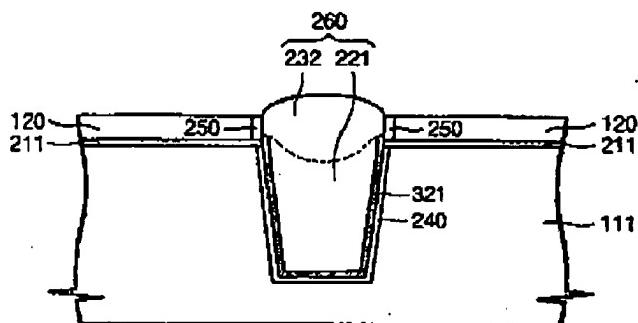
588



589



590



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.